

Docket No.: 57454-967

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Toshihide OKA :  
Serial No.: : Group Art Unit:  
Filed: July 28, 2003 : Examiner:  
:  
For: PHASE COMPARATOR CAPABLE OF PERFORMING STABLE PHASE COMPARISON FOR  
HIGH FREQUENCY BAND

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-076077, filed March 19, 2003,**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:km  
Facsimile: (202) 756-8087  
CUSTOMER NUMBER 20277  
Date: July 28, 2003

日本国特許庁  
JAPAN PATENT OFFICE

57454-967  
Toshihide Oka  
July 28, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2003年 3月19日

出願番号

Application Number: 特願2003-076077

[ ST.10/C ]:

[ JP2003-076077 ]

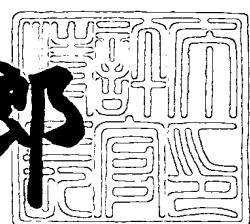
出願人

Applicant(s): 三菱電機株式会社

2003年 4月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3029989

【書類名】 特許願  
【整理番号】 542097JP01  
【提出日】 平成15年 3月19日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03K 5/15  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 岡 俊英  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎  
【選任した代理人】  
【識別番号】 100085132  
【弁理士】  
【氏名又は名称】 森田 俊雄  
【選任した代理人】  
【識別番号】 100083703  
【弁理士】  
【氏名又は名称】 仲村 義平  
【選任した代理人】  
【識別番号】 100096781  
【弁理士】  
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較器

【特許請求の範囲】

【請求項1】 第1の信号と、基準となる第2の信号の位相差を検出するための位相比較器であって、

前記第2の信号に同期したタイミングで前記第1の信号をサンプリングすることにより第3の信号を出力するリタイミング回路と、

前記第1、2および第3の信号に基づいて位相比較に応じた電流を流すための位相比較ユニットとを備え、

前記位相比較ユニットは、

第1および第2の電流源と、

出力ノードと、

前記第1の電流源と前記出力ノードとの間に接続され、前記第1の信号と前記第3の信号との排他的論理和が第1の論理レベルの場合に前記出力ノードに対して電流を流出する第1の電流制御回路と、

前記第2の電流源と前記出力ノードとの間に接続され、前記第2の信号が前記第1の論理レベルと反対の第2の論理レベルの場合に前記出力ノードからの電流の流入を受ける第2の電流制御回路とを含み、

前記第1の電流制御回路は、

前記第1の電流源と、前記出力ノードとの間に接続される2つのスイッチ部を有し、

前記2つのスイッチ部は、入力される前記第1および第3の信号の所定の組合せに応じて少なくとも一方がオンする場合に、前記第1の信号と前記第3の信号との排他的論理和が前記第1の論理レベルとなるように設計される、位相比較器。

【請求項2】 前記位相比較ユニットは、

前記2つのスイッチ部の一方に対応して設けられ、前記第1および第3の信号の入力を受けて、前記第1の信号と前記第3の信号との論理和を出力する第1の論理回路と、

前記2つのスイッチ部の他方に対応して設けられ、前記第1および第3の信号の入力を受けて、前記第1の信号の反転信号と前記第3の信号の反転信号の論理和を出力する第2の論理回路とをさらに含む、請求項1記載の位相比較器。

【請求項3】 前記位相比較ユニットは、

前記2つのスイッチ部の一方に対応して設けられ、前記第1および第3の信号の入力を受けて、前記第1の信号の反転信号と前記第3の信号との論理積を出力する第1の論理回路と、

前記2つのスイッチ部の他方に対応して設けられ、前記第1および第3の信号の入力を受けて、前記第1の信号と前記第3の信号の反転信号の論理積を出力する第2の論理回路とをさらに含む、請求項1記載の位相比較器。

【請求項4】 前記2つのスイッチ部は、前記第1の電流源と前記出力ノードとの間に互いに並列に接続され、

前記2つのスイッチ部の一方は、互いに直列に接続された第1および第2のスイッチ素子を有し、

前記第1および第2のスイッチ素子は、それぞれ入力される前記第1の信号および第3の信号がともに前記第1の論理レベルである場合にそれぞれオンし、

前記2つのスイッチ部の他方は、互いに直列に接続された第3および第4のスイッチ素子を有し、

前記第3および第4のスイッチ素子は、それぞれ入力される前記第1の信号の反転信号および前記第3の信号の反転信号がともに前記第1の論理レベルである場合にオンする、請求項1記載の位相比較器。

【請求項5】 前記2つのスイッチ部は、前記第1の電流源と前記出力ノードとの間に互いに直列に接続され、

前記2つのスイッチ部の一方は、互いに並列に接続された第1および第2のスイッチ素子を有し、

前記第1および第2のスイッチ素子の少なくとも一方は、それぞれ入力される前記第1の信号および前記第3の信号の反転信号の少なくとも一方が前記第1の論理レベルである場合にオンし、

前記2つのスイッチ部の他方は、互いに並列に接続された第3および第4のス

イッチ素子を有し、

前記第3および第4のスイッチ素子の少なくとも一方は、夫々入力される前記第1の信号の反転信号および第3の信号の少なくとも一方が前記第1の論理レベルである場合にオンする、請求項1記載の位相比較器。

【請求項6】 前記位相比較ユニットは、

前記第2の電流源と前記第2の電流制御回路との間を結ぶ内部ノードと、

前記第2の信号が前記第1の論理レベルの場合に前記出力ノードから前記内部ノードへ電流を供給する電流供給部とをさらに含む、請求項1記載の位相比較器。

【請求項7】 前記位相比較ユニットは、前記第2の信号の前記第2の論理レベルの第1の期間を基準とし、前記第1の電流制御回路における前記第1の信号と前記第3の信号との排他的論理和が前記第1の論理レベルである第2の期間との相対比較に応じた電流を前記出力ノードに対して流し、

前記第1の期間よりも前記第2の期間が長い場合には、前記出力ノードから前記相対比較に応じた電流が流出され、前記第2の期間よりも前記第1の期間が長い場合には、前記出力ノードから前記相対比較に応じた電流が流入され、前記第1の期間と前記第2の期間が等しい場合には、前記第1の電流制御回路から前記出力ノードを介して前記第2の電流制御回路に対して所定電流が流れる、請求項1記載の位相比較器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号処理回路の内部において、入力された2つの信号の位相比較を実行する位相比較器に関する。

【0002】

【従来の技術】

一般に、発振器等の発振周波数を安定化させるためにPLL(Phase locked loop)回路が広く用いられている。

【0003】

P L L回路は、システムクロックのようなリファレンス信号をモニタして、クロックのコントロールや他のクロック等との同期化を図るものである。具体的には、P L L回路内の位相比較器に入力されるリファレンス信号と内部のフィードバック信号との間の位相差が測定され、測定結果に応じてタイミング信号を生成する電圧制御発振器（以下、V C O（Voltage Controlled Oscillator）回路とも称する）の発振周波数が調整される。この発振された信号が位相比較器にフィードバック信号として入力され、位相比較器において、リファレンス信号とフィードバック信号との位相差が再び比較される。

## 【0004】

P L L回路は、リファレンス信号をモニタし、上記のループ動作を継続的に実行してV C O回路の発振周波数を調整することによりリファレンス信号とフィードバック信号との位相の同期化を図る。

## 【0005】

位相比較器としては種々の位相比較器があるが、一例として排他的論理和に基づく位相比較を実行するデジタル位相比較回路を挙げることができる。特開2000-36729号公報においては、2つの入力信号の排他的論理和に応じて回路に流入する電流流入量および回路から流出される電流流出量の時間平均結果に基づいて位相比較を実行する位相比較器の構成が開示されている。

## 【0006】

具体的には、2つの入力信号の排他的論理和に基づくスイッチング動作を実行する論理回路と、当該論理回路のスイッチング動作に基づいて位相比較に応じた電流量の流入流出を制御する電流制御回路とが設けられている。

## 【0007】

## 【特許文献1】

特開2000-36729号公報（図1，p5, 6）

## 【0008】

## 【発明が解決しようとする課題】

一方で高周波数帯での位相比較を実行した場合、入力信号の周期より高速な信号処理すなわち高速なスイッチング動作が論理回路で要求されることとなる。

## 【0009】

しかしながら、論理回路において、スイッチング動作に伴う電荷の充放電には所定期間が必要であるため、余りにも高速なスイッチング動作を要求した場合、位相の変化にスイッチング動作が追従できなくなるおそれがある。すなわち、電流制御回路で制御する電流量が位相変化に追従できなくなる恐れがある。したがって、従来の位相比較器においては、高周波数帯での位相比較を実行した場合、精度の高い位相比較を実行することが困難である。

## 【0010】

本発明の目的は、上記の問題を解決するものであって、高周波数帯においても安定的な位相比較を実行することができる位相比較器を提供する。

## 【0011】

## 【課題を解決するための手段】

この発明に係る位相比較器は、第1の信号と、基準となる第2の信号の位相差を検出するための位相比較器であって、リタイミング回路と、位相比較ユニットとを含む。リタイミング回路は、第2の信号に同期したタイミングで第1の信号をサンプリングすることにより第3の信号を出力する。位相比較ユニットは、第1、2および第3の信号に基づいて位相比較に応じた電流を流す。位相比較ユニットは、第1および第2の電流源と、出力ノードと、第1および第2の電流制御回路とを含む。第1の電流制御回路は、第1の電流源と出力ノードとの間に接続され、第1の信号と第3の信号との排他的論理和が第1の論理レベルの場合に出力ノードに対して電流を流出する。第2の電流制御回路は、第2の電流源と出力ノードとの間に接続され、第2の信号が第1の論理レベルと反対の第2の論理レベルの場合に出力ノードからの電流の流入を受ける。第1の電流制御回路は、第1の電流源と、出力ノードとの間に接続される2つのスイッチ部を有する。2つのスイッチ部は、入力される第1および第3の信号の所定の組合せに応じて少なくとも一方がオンする場合に、第1の信号と第3の信号との排他的論理和が第1の論理レベルとなるように設計される。

## 【0012】

## 【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

## 【0013】

## (実施の形態1)

図1は、本発明の実施の形態1に従うPLL回路1の概略ブロック図である。

## 【0014】

図1を参照して、PLL回路1は、位相比較器100と、ループフィルタ300と、VCO回路400とを備える。位相比較器100は、リファレンス信号となるクロック信号CLKとフィードバック信号である帰還信号DTAとの位相差を検出し、ループフィルタ300に位相差に基づいて電流を流出するもしくはループフィルタ300からの電流の流入を受けるあるいはループフィルタ300にに対して電流を流さない。ループフィルタ300は、位相比較器100の位相差に基づく電流の流入／流出に応じた制御電圧VOを生成する。VCO回路400は、ループフィルタ300により生成された制御電圧VOに基づく周波数の信号を発振する。この発振された信号が帰還信号DTAとして位相比較器100にフィードバックされる。

## 【0015】

図2は、本発明の実施の形態1に従う位相比較器100の回路構成図である。

図2を参照して、本発明の実施の形態1に従う位相比較器100は、帰還信号DTAをクロック信号の立上りに同期したタイミングでサンプリングするフリップフロップ回路5（リタイミング回路）と、帰還信号DTAをクロック信号の半周期ずれた立下りに同期したタイミングでサンプリングするフリップフロップ回路10と、フリップフロップ回路5、10でサンプリングすることにより得られた信号の位相比較に基づいて電流を流入／流出する位相比較ユニット30とを含む。

## 【0016】

フリップフロップ回路5は、クロック信号CLKの立上りに同期したタイミングでサンプリングすることによりクロック信号CLKと同位相の信号NBを生成する。また、フリップフロップ回路10は、クロック信号CLKの立下りに同期

したタイミングでサンプリングすることにより、信号N Bに対してクロック信号C L Kの半周期に相当する位相差を有する信号N Cを生成する。なお、信号N Bと信号N Cとの排他的論理和はクロック信号C L Kに相当する。

## 【0017】

位相比較ユニット30は、入力された信号に対して所定の論理演算動作を実行する論理回路15, 20と、出力ノードに対して流入もしくは流出する電流量を規定する電流調整回路25とを含む。

## 【0018】

論理回路15は、信号N AおよびN Bの入力を受けて制御信号S 0, S 1およびその反転信号／S 0, ／S 1を出力する。論理回路20は、信号N Bと信号N Cの入力を受けて制御信号R 0, R 1およびその反転信号／R 0, ／R 1を出力する。なお、本明細書において、「／」の記号は、反転、否定、相補等を指し示すものとする。

## 【0019】

電流調整回路25は、電流源31, 32と、アンプA Pと、トランジスタP T 1～P T 4と、N T 1～N T 4とを含む。なお、トランジスタP T 1～P T 4は、一例としてPチャンネルMOSトランジスタとする。トランジスタN T 1～N T 4は、一例としてNチャンネルMOSトランジスタとする。

## 【0020】

電流源31は、電源電圧V D DとノードN 0との間に配置される。トランジスタP T 1およびP T 2は、ノードN 0とノードN 3との間に直列に接続され、それぞれのゲートは、論理回路15から制御信号／S 0, ／S 1の信号をそれぞれ受ける。トランジスタP T 3およびP T 4は、ノードN 0とノードN 2との間に互いに並列に配置され、それぞれのゲートは、論理回路15から制御信号S 0, S 1の信号をそれぞれ受ける。トランジスタN T 1およびN T 2は、ノードN 3とノードN 1との間に直列に接続され、それぞれのゲートは、論理回路20から制御信号／R 0, ／R 1の信号をそれぞれ受ける。トランジスタN T 3およびN T 4は、ノードN 2とノードN 1との間に互いに並列に配置され、それぞれのゲートは、論理回路20から制御信号R 0, R 1の信号をそれぞれ受ける。電流源

3 2 は、ノードN 1 と接地電圧G N Dとの間に配置される。アンプA Pは、ノードN 2 の電圧レベルを所定レベルに増幅してノードN 3 に出力する。

#### 【0021】

本発明の実施の形態1に従う位相比較ユニット3 0 の動作について説明する。

位相比較ユニット3 0 は、信号N B と信号N Cとの位相差を基準として信号N A と信号N Bとの位相差を検出する。信号N B と信号N Cとの位相差はクロック信号C L Kの半周期である。信号N A と信号N Bとの位相差が信号N B と信号N Cとの位相差と同じになれば、信号N A はクロック信号C L Kと同位相の信号に設定され、クロック信号C L Kと同期化させることができる。具体的には、信号N A と信号N Bとの排他的論理和演算に対応するトランジスタP T 3, P T 4 で構成されるスイッチ回路のスイッチング動作を実行することにより信号N A と信号N Bとの位相差を検出する。電流源3 1 は、検出結果に基づく電流をノードN 2 に流出する。

#### 【0022】

一方、信号N B と信号N Cとの排他的論理和演算に対応するトランジスタN T 3, N T 4 で構成されるスイッチ回路のスイッチング動作を実行することにより信号N B と信号N Cとの位相差を検出する。電流源3 2 は、ノードN 2 から検出結果に基づく電流の流入を受ける。

#### 【0023】

位相差がともに同じであれば電流源3 1 から電流源3 2 に一定の電流が流れ、ノードN 2 からループフィルタ3 0 0 に対して電流は流れない。一方、位相差が互いに異なる場合、その差に応じて、ノードN 2 からループフィルタ3 0 0 に対して電流が流出もしくはループフィルタ3 0 0 からノードN 2 に対して電流が流入する。ここで、信号N B と信号N Cとの位相差はクロック信号C L Kの半周期であるため一定であり、電流源3 2 はノードN 2 から一定の定電流を受ける。この位相比較ユニット3 0 は、電流を一旦外部に流出して、その後内部に流入する電流との電流差により位相差を検出するのではなく、内部の回路内の電流源3 2 に流れ込む基準となる定電流と電流源3 1 から流れる電流との相対比較により位相差を検出する。定電流よりも余剰の電流が電流源3 1 から流れる場合には出

力ノードから流出され、足りない場合には、足りない電流量分出力ノードN 2から流入される。

## 【0024】

すなわち、位相比較ユニット30は、信号NAと信号NBとの位相差に基づく電流源31から流れる電流量と定電流との差に基づいてループフィルタ300に電流を流出するもしくはループフィルタ300からの電流の流入を受ける。なお、本構成は、主に右側のスイッチ回路において、位相差検出動作を実行する一方で、それとは対照的に左側にもスイッチ回路が設けられる。具体的には、ノードN3とノードN0との間において、トランジスタPT3, PT4で構成されるスイッチ回路と相補的に動作するトランジスタPT1, PT2で構成されるスイッチ回路が設けられる。また、ノードN3とノードN1との間において、トランジスタNT3, NT4で構成されるスイッチ回路と相補的に動作するトランジスタNT1, NT2で構成されるスイッチ回路が設けられる。これらのスイッチ回路は、後述するが電流調整回路の動作安定補償として設けられる。

## 【0025】

本実施の形態1においては、ノードN0とノードN2との間に設けられるスイッチ回路に対して、スイッチ回路のターンオンすなわちスイッチング動作が信号NAと信号NBとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計する。

## 【0026】

具体的には、信号NAと信号NBとの排他的論理和は、制御信号S0とS1との論理積に分解することができる。制御信号S0は、信号NAと信号NBとの論理和（NA+NB）に相当する。制御信号S1は、信号NAの反転信号と信号NBの反転信号との論理和（（/NA）+（/NB））に相当する。この制御信号S0とS1とをノードN0とノードN2との間に互いに並列に接続された2つのPチャンネルMOSトランジスタPT3およびPT4で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号NAと信号NBとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計することができる。

## 【0027】

このように信号N Aと信号N Bとの排他的論理和を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

## 【0028】

なお、本明細書において、「・」の記号は論理積を指し示し、「+」の記号は論理和を指し示すものとする。

## 【0029】

同様に、ノードN 2とノードN 1との間に設けられるスイッチ回路に対して、スイッチ回路のターンオンが信号N Bと信号N Cとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計する。

## 【0030】

具体的には、信号N Bと信号N Cとの排他的論理和は、制御信号R 0とR 1との論理積に分解することができる。制御信号R 0は、信号N Bと信号N Cの反転信号との論理積（N B · (／N C)）に相当する。また、制御信号R 1は、信号N Bの反転信号と信号N Cとの論理積（(／N B) · N C）に相当する。この制御信号R 0とR 1とをノードN 1とノードN 2との間に互いに並列に接続された2つのNチャンネルMOSトランジスタN T 3およびN T 4で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号N Aと信号N Bとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計することができる。このように信号N Aと信号N Bとの排他的論理和を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

## 【0031】

同様に、ノードN 0とノードN 3との間に設けられるスイッチ回路に対して、当該スイッチ回路のターンオンが信号N Aと信号N Bとの排他的論理和の反転信号（「L」レベル）となるようにスイッチ回路を設計する。

## 【0032】

具体的には、信号N Aと信号N Bとの排他的論理和の反転信号は、制御信号S

0の反転信号と制御信号S1の反転信号との論理和に分解することができる。この制御信号S0の反転信号と制御信号S1の反転信号とをノードN0とノードN3との間に互いに直列に接続された2つのPチャンネルMOSトランジスタPT1およびPT2で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号NAと信号NBとの排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計することができる。このように信号NAと信号NBとの排他的論理和の反転信号を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

#### 【0033】

同様に、ノードN3とノードN1との間に設けられるスイッチ回路に対して、当該スイッチ回路のターンオンが信号NBと信号NCとの排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計する。

#### 【0034】

具体的には、信号NBと信号NCとの排他的論理和の反転信号は、制御信号R0の反転信号と制御信号R1の反転信号との論理積に分解することができる。この制御信号R0の反転信号と制御信号R1の反転信号とをノードN3とノードN1との間に互いに直列に接続された2つのNチャンネルMOSトランジスタNT1およびNT2で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号NBと信号NCとの排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計することができる。このように信号NBと信号NCとの排他的論理和の反転信号を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

#### 【0035】

図3のタイミングチャート図を用いて、図2に示す位相比較ユニット30の動作について説明する。なお、ここでは、位相差検出動作を実行する右側のスイッチ回路の動作に着目して説明する。

#### 【0036】

図2, 3を参照して、クロック信号CLKの立上りに同期した時刻T1, T4等において、フリップフロップ回路5は、信号NAをサンプリングしたクロック信号CLKと同期化した信号NBを出力する。フリップフロップ回路10は、半周期ずれたクロック信号CLKの立下りに同期した時刻T2, T5等において、信号NBをサンプリングしたクロック信号CLKと同期化した信号NCを出力する。本例においては、信号NAは、信号NBに対して $\Delta T$ だけ位相が遅れた状態である。なお、本例においては、信号NAと信号NBとの位相差がクロック信号CLKの半周期となった場合に、信号NAの位相がクロック信号CLKの位相と同期化したものとする。

#### 【0037】

位相比較ユニット30は、信号NBと信号NCとの位相差を基準として、信号NAと信号NBとの位相差を相対比較する。ここでは、図3に示されるように時刻T1-T4のクロック信号CLKの1周期の期間を基準に考える。信号NAと信号NBとの排他的論理和は、時刻T1-T3の期間において位相一致を示す「L」レベルの信号に設定される。

#### 【0038】

一方、信号NBと信号NCとの位相差は、クロック信号CLKの半周期であるため上述したようにクロック信号CLKと同一の信号により示される。すなわち、時刻T1-T2の期間は「H」レベル、時刻T2-T4の期間は「L」レベルに設定される。

#### 【0039】

電流調整回路25は、信号NBと信号NCとの位相差を基準として、信号NAと信号NBとの位相差に基づく時刻T2-T3の期間 $\Delta T$ 分、電流源31から電流源32に電流が流されることなくループフィルタ300に対して電流を流出する。

#### 【0040】

これにより、位相比較ユニット30において、相対比較に基づく位相差検出動作が実行され、位相差に応じた電流が流出する。

#### 【0041】

ここで、位相差が大きいもしくは入力信号が高速である場合には、たとえば、図3に示されるように信号N Aと信号N Bとの排他的論理和の出力信号が「H」レベルもしくは「L」レベルに設定される期間が短くなる。この場合、論理回路は、排他的論理和を出力する際のトランジスタの充放電期間を十分確保することが難しくなり、配線等の寄生素子の影響も加味して、位相差に応じた正確な論理レベルで排他的論理和の出力信号を出力することができなくなる可能性がある。具体的には、論理回路からの出力信号である排他的論理和が「H」レベルに設定される期間が短期間である場合には、論理レベルが「H」レベルに上昇するまでに、「L」レベルに設定される場合があり、結果として常に「L」レベルを出力することになる可能性がある。

#### 【0042】

本実施の形態1においては、この位相差検出動作において、本来論理回路の論理値出力（信号N Aと信号N Bとの排他的論理和）に基づくトランジスタのスイッチング動作をトランジスタの充放電に要する期間を短縮するために電流の和（積）の形で置換している。たとえば、図2においては、信号N Aと信号N Bとの排他的論理和をPチャンネルMOSトランジスタP T 3およびP T 4の電流出力の和で置換している。これらの2つのトランジスタを制御する信号は、図3に示されるように「H」レベルもしくは「L」レベルの期間がある程度十分に確保された信号である。したがって、電流の和は、正確に位相差を反映することになる。すなわち、本構成により安定した位相差検出動作を実行することができる。

#### 【0043】

図4は、電流調整回路25の出力ノードN 2からループフィルタ300に流れる電流量の関係を示す図である。

#### 【0044】

ここでは、信号N Bと信号N Cとの位相差を基準とした場合における信号N Aと信号N Bとの位相差に伴う電流がループフィルタ300に流出するもしくはループフィルタ300から流入される。

#### 【0045】

図3の例においては、上述したように信号N Aの位相が期間 $\Delta T$ 遅延している

状態である。ここで、信号N Aと信号N Bとの位相差は、信号N Bと信号N Cとの位相差を基準とした場合において負の値とする。これに伴い、PチャンネルMOSトランジスタP T 3およびP T 4で構成されるスイッチ回路は、NチャンネルMOSトランジスタN T 3およびN T 4で構成されるスイッチ回路よりも長時間オンすなわちスイッチング動作を実行するためループフィルタ300に対して電流が流れ込む。

## 【0046】

図5は、ループフィルタ300の回路構成図である。

図5を参照して、ループフィルタ300は、位相比較ユニット30の出力ノードN 2と接地電圧GNDとの間に直列接続された抵抗R<sub>f</sub>およびキャパシタC<sub>f</sub>とを含む。

## 【0047】

ループフィルタ300への電流の流入／流出は、抵抗R<sub>f</sub>およびキャパシタC<sub>f</sub>で積分され、ほぼ直流の電圧に変換されて制御電圧V<sub>O</sub>を得る。

## 【0048】

図6は、図1に示したVCO回路400の回路構成図である。

図6を参照して、VCO回路400は、ノードN<sub>p</sub>およびノードN<sub>n</sub>に制御電圧V<sub>O</sub>に基づく電圧を生成する電圧調整回路B21と、ノードN<sub>p</sub>およびN<sub>n</sub>に生成された電圧に応じた周波数で発振する発振器B22と、発振器B22の出力を受けて帰還信号DTAを出力するバッファ回路B23を含む。

## 【0049】

電圧調整回路B21は、トランジスタB21a～B21dを含む。トランジスタB21cは、ノードN<sub>p</sub>と接地電圧GNDとの間に配置され、そのゲートは、制御電圧V<sub>O</sub>の入力を受ける。トランジスタB21aは、電源電圧VDDとノードN<sub>p</sub>との間に配置され、そのゲートはノードN<sub>p</sub>と接続されている。トランジスタB21bは、ノードN<sub>n</sub>と電源電圧VDDとの間に配置され、そのゲートはノードN<sub>p</sub>と接続されている。トランジスタB21は、ノードN<sub>n</sub>と接地電圧GNDとの間に配置され、そのゲートはノードN<sub>n</sub>と接続されている。トランジスタB21aとB21bとはカレントミラー回路を形成する。したがって、トラン

ジスタB21aとB21bのトランジスタサイズが等しい場合、制御電圧VOに応じた等しい通過電流IaがそれぞれのトランジスタB21a, B21bを流れる。

## 【0050】

発振器B22は、直列に接続される奇数段の複数のインバータB221～B22kを含む。インバータB22kの出力は、インバータB221の入力にフィードバックされている。

## 【0051】

また、バッファ回路B23の入力には、インバータB22kの出力が接続される。

## 【0052】

インバータB22k (kは自然数) は、遅延時間を制御することができるインバータであり、ノードNpとゲートとが接続され、電源電圧VDDが与えられる電源ノードからの電流を制限するPチャンネルトランジスタB22akと、ゲートとノードNnとが接続され、接地ノードへ流れ出す電流を制限するNチャンネルトランジスタB22dkと、PチャンネルトランジスタB22akのドレインとNチャンネルトランジスタB22dkのドレインとの間に直列接続されるPチャンネルトランジスタB22bkおよびNチャンネルトランジスタB22ckとを有する。

## 【0053】

PチャンネルトランジスタB22bkのゲートとNチャンネルトランジスタB22ckのゲートは接続され、インバータB22kの入力ノードとなり、PチャンネルトランジスタB22bkのドレインはインバータB22kの出力ノードとなる。

## 【0054】

ここで、トランジスタB22akのゲートは、ノードNpと接続されており、トランジスタB21bと同様にトランジスタB21aとカレントミラー回路を形成する。一方、トランジスタB22dkのゲートは、ノードNnと接続されており、トランジスタB21dとカレントミラー回路を形成する。したがって、トランジ

ンジスタB21dを流れる通過電流Iaに応じた電流がトランジスタB21dに流れる。なお、トランジスタB21dとトランジスタB22dのトランジスタサイズが等しい場合には同じ通過電流Iaが流れる。

## 【0055】

他のインバータについても同様の構成であり、電圧調整回路B21を流れる通過電流Iaに基づいてインバータの動作速度が調整され、発振する周波数が調整される。

## 【0056】

たとえば、位相比較器100からループフィルタ300に電流が流入する場合、ループフィルタ300で生成される制御電圧VOは上昇する。これに伴い、VCO回路400において、電圧調整回路B21は、制御電圧VOの上昇に伴い、通過電流Iaの電流量を増加させる。これにより、インバータの動作速度が高速になる。したがって、発振する周波数の位相はこれに追従して進む。本例においては、例示的にいわゆるリング型のVCO回路を用いた構成について説明したがインダクタンスと可変容量のLC共振を用いたLC型VCO回路を用いた構成としても良い。

## 【0057】

なお、ここで、トランジスタPT1およびPT2で構成されるスイッチ回路と、トランジスタNT1およびNT2で構成されるスイッチ回路とアンプAPについて説明する。これらの回路は電流調整回路25の動作保障として設けられたものである。

## 【0058】

具体的には、電流源32と接続されるノードN1の電位を所定レベル以上に維持する。上述したようにNチャンネルMOSトランジスタNT3, NT4で構成されるスイッチ回路は、クロック信号CLKの半周期の区間オンしており、他方の半周期の区間はオフである。したがって、ノードN1の電位は、スイッチ回路がオフしている期間において、接地電圧GND付近まで下がり、電流源32は、電流源として機能しなくなるおそれがある。したがって、NチャンネルMOSトランジスタNT1, NT2で構成される相補的に動作するスイッチ回路を動作さ

せてノードN2の電圧レベルをアンプAPにより増幅し、ノードN3からノードN1への電流経路を形成する（電流供給部）。これにより、電流源32には定常的にある程度の電流が流れこむ。したがって、頻繁にノードN1の電位が下がることはなく電流源32は安定的に電流源として機能する。同様に、アンプAPはノードN3の電圧レベルをある電圧レベル以上を維持するように機能するためノードN0からノードN3に対して定常的にある程度の電流が流れ込む。したがって、アンプAPによりノードN0の電位レベルの変動が抑制されるため電流源31は、安定的な電流源として機能する。

## 【0059】

（実施の形態2）

上記の実施の形態1においては、電流調整回路25において、信号NAと信号NBとの排他的論理和をスイッチ回路により実現する一例について説明した。

## 【0060】

本実施の形態2においては、他の制御信号の組合せに従い信号NAと信号NBとの排他的論理和をスイッチ回路で実現する構成について説明する。

## 【0061】

信号NAと信号NBとの排他的論理和は次式に変形することができる。

## 【0062】

## 【数1】

$$\begin{aligned} NA \oplus NB &= NA \cdot \overline{NB} + \overline{NA} \cdot NB = (\overline{\overline{NA} + NB}) + (\overline{NA + \overline{NB}}) \\ &= (NA + NB) \cdot (\overline{NA} + \overline{NB}) = (\overline{NA \cdot NB}) \cdot (\overline{NA \cdot NB}) \end{aligned}$$

「⊕」：本明細書において排他的論理和を指示するものとする。

## 【0063】

図7は、実施の形態2に従う位相比較器110の回路構成図である。

図7を参照して、実施の形態2に従う位相比較器110は、位相比較器100と比較して、位相比較ユニット30を位相比較ユニット30aに置換した点が異なる。

## 【0064】

位相比較ユニット30aは、位相比較ユニット30と比較して、論理回路15, 20をそれぞれ論理回路15a, 20aに置換するとともに、電流調整回路25を電流調整回路25aに置換した点が異なる。

【0065】

論理回路15aは、制御信号S0 ( $\bar{N}A \cdot N B$ ), S1 ( $N A \cdot (\bar{N}B)$ )と、これらの制御信号を反転した制御信号 $\bar{S}0$ ,  $\bar{S}1$ を生成する。

【0066】

また、論理回路20aは、制御信号R0 ( $N B + N C$ ), R1 ( $(\bar{N}B) + (\bar{N}C)$ )と、これらの制御信号を反転した制御信号 $\bar{R}0$ ,  $\bar{R}1$ を生成する。

【0067】

電流調整回路25aにおいて、PチャンネルMOSトランジスタPT1およびPT2は、並列に接続され、制御信号 $\bar{S}0$ および $\bar{S}1$ の入力をそれぞれ受け、PチャンネルMOSトランジスタPT3およびPT4は直列に接続され、制御信号S0およびS1の入力をそれぞれ受け、NチャンネルMOSトランジスタNT1およびNT2は、並列に接続され、制御信号 $\bar{R}0$ ,  $\bar{R}1$ の入力をそれぞれ受け、NチャンネルMOSトランジスタNT3およびNT4は、直列に接続され、制御信号R0, R1の入力をそれぞれ受け。

【0068】

本構成により、PチャンネルMOSトランジスタPT3およびPT4で構成されるスイッチ回路は、信号NAと信号NBとの排他的論理和（「L」レベル）に応答してターンオンするように設計される。また、PチャンネルMOSトランジスタPT1およびPT2で構成されるスイッチ回路は、信号NAと信号NBとの排他的論理和（「H」レベル）に応答してターンオンするように設計される。また、NチャンネルMOSトランジスタNT3およびNT4で構成されるスイッチ回路は、信号NBと信号NCとの排他的論理和（「L」レベル）に応答してターンオンするように設計される。NチャンネルMOSトランジスタNT1およびNT2で構成されるスイッチ回路は、信号NBと信号NCとの排他的論理和（「H」レベル）に応答してターンオンするように設計される。

## 【0069】

すなわち、本来論理回路の論理値出力（信号N Aと信号N Bとの排他的論理和）に基づくトランジスタのスイッチング動作をトランジスタの充放電に要する期間を短縮するために電流の和（積）の形で置換した構成である。

## 【0070】

したがって、本構成の如く、所定の論理の組合せおよびスイッチ回路を構成するトランジスタを調整することにより、実施の形態1と同様に制御信号S 0, S 1を用いて信号N Aと信号N Bとの排他的論理和をスイッチ回路で実現することができる。

## 【0071】

本実施の形態2にしたがって、レイアウト上の制約や論理回路の出力波形を考慮しつつベストな論理の組合せを選択し、位相比較器に適用することにより効率的かつ精度の高い位相比較を実行することができる。

## 【0072】

## (実施の形態3)

本発明の実施の形態3においては、実施の形態1よりもさらに位相比較動作を高速に実行する位相比較器の構成について説明する。

## 【0073】

図8は、本実施の形態3に従う位相比較ユニット30#の回路構成図である。位相比較ユニット30#は、論理回路15#と、トランジスタTp1～Tp8と、電流源31, 32と、トランジスタTn1～Tn8とを含む。

## 【0074】

論理回路15#は、信号N A, N BおよびN Cの入力を受けて、そのままの信号N A, N BおよびN Cならびにその反転信号／N A,／N Bおよび／N Cを出力する。

## 【0075】

電流源31は、電源電圧VDDとノードN0との間に配置される。電流源32は、ノードN1と接地電圧GNDとの間に配置される。

## 【0076】

トランジスタT<sub>p</sub>1およびT<sub>p</sub>2は、トランジスタT<sub>p</sub>3およびT<sub>p</sub>4とノードN0とノードN3との間に直列に接続される。トランジスタT<sub>p</sub>1およびT<sub>p</sub>2は、互いに並列に接続され、それぞれのゲートは信号/N<sub>A</sub>および/N<sub>B</sub>の入力を受ける。トランジスタT<sub>p</sub>3およびT<sub>p</sub>4は、互いに並列に接続され、それぞれのゲートは信号N<sub>A</sub>およびN<sub>B</sub>の入力を受ける。トランジスタT<sub>p</sub>5およびT<sub>p</sub>7は、トランジスタT<sub>p</sub>6およびT<sub>p</sub>8とノードN0とノードN2との間に互いに並列に接続される。トランジスタT<sub>p</sub>5およびT<sub>p</sub>7は、互いに直列に接続され、それぞれのゲートは信号N<sub>A</sub>およびN<sub>B</sub>の入力を受ける。トランジスタT<sub>p</sub>6およびT<sub>p</sub>8は、互いに直列に接続され、それぞれのゲートは信号/N<sub>A</sub>および/N<sub>B</sub>の入力を受ける。

## 【0077】

トランジスタT<sub>n</sub>1およびT<sub>n</sub>2は、トランジスタT<sub>n</sub>3およびT<sub>n</sub>4とノードN2とノードN1との間に直列に接続される。トランジスタT<sub>n</sub>1およびT<sub>n</sub>2は、互いに並列に接続され、それぞれのゲートは信号/N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>3およびT<sub>n</sub>4は、互いに並列に接続され、それぞれのゲートは信号N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>5およびT<sub>n</sub>7は、トランジスタT<sub>n</sub>6およびT<sub>n</sub>8とノードN2とノードN1との間に互いに並列に接続される。トランジスタT<sub>n</sub>5およびT<sub>n</sub>7は、互いに直列に接続され、それぞれのゲートは信号N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>6およびT<sub>n</sub>8は、互いに直列に接続され、それぞれのゲートは信号/N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。

## 【0078】

図8に示す位相比較ユニット30#は、図2で説明した位相比較ユニット30と等価な回路である。

## 【0079】

具体的には、直列に接続され、それぞれ信号N<sub>A</sub>およびN<sub>B</sub>をゲートに受けるトランジスタT<sub>p</sub>5およびT<sub>p</sub>7は、制御信号S0をゲートに受けるトランジスタP<sub>T</sub>3と等価な回路である。同様に、直列に接続され、それぞれ信号N<sub>A</sub>の反転信号および信号N<sub>B</sub>の反転信号をゲートに受けるトランジスタT<sub>p</sub>6およびT

P 8 は、制御信号 S 1 をゲートに受けるトランジスタ P T 4 と等価な回路である。また、直列に接続され、それぞれ信号 N B および N C の反転信号をゲートに受けるトランジスタ T n 5 および T n 7 は、制御信号 R 0 をゲートに受けるトランジスタ N T 3 と等価な回路である。同様に、直列に接続され、それぞれ信号 N B の反転信号および信号 N C をゲートに受けるトランジスタ T n 6 および T n 8 は、制御信号 R 1 をゲートに受けるトランジスタ N T 4 と等価な回路である。

#### 【0080】

また、相補的に動作するスイッチ回路においても同様に、互いに並列に接続され、それぞれ信号 N A および N B をゲートに受けるトランジスタ T p 3 および T p 4 は、制御信号 S 1 の反転信号をゲートに受けるトランジスタ P T 2 と等価な回路である。同様に、互いに並列に接続され、それぞれ信号 N A の反転信号および信号 N B の反転信号をゲートに受けるトランジスタ T p 1 および T p 2 は、制御信号 S 0 の反転信号をゲートに受けるトランジスタ P T 1 と等価な回路である。また、互いに並列に接続され、それぞれ信号 N B の反転信号および信号 N C をゲートに受けるトランジスタ T n 1 および T n 2 は、制御信号 R 0 の反転信号をゲートに受けるトランジスタ N T 1 と等価な回路である。同様に、互いに並列に接続され、それぞれ信号 N B および信号 N C の反転信号をゲートに受けるトランジスタ T n 3 および T n 4 は、制御信号 R 1 の反転信号をゲートに受けるトランジスタ N T 2 と等価な回路である。

#### 【0081】

このように、一例として信号 N A と信号 N B との排他的論理和を論理回路で論理演算するよりも、4つのトランジスタで構成されるスイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。また、信号 N A, / N A, N B, / N B のみを用いてスイッチング動作を実行するため、排他的論理和の出力信号を出力する論理回路のトランジスタの充放電期間を考慮する必要がない。したがって、さらに安定した高速なスイッチング動作を実行することができる。また、論理回路 15 # の回路構成が簡易になり、部品点数が削減される。さらには、ゲート数を低減することにより省電力化を図ることができる。

## 【0082】

(実施の形態4)

本発明の実施の形態4においては、実施の形態2よりもさらに位相比較動作を高速に実行する位相比較器の構成について説明する。

## 【0083】

図9は、本実施の形態4に従う位相比較ユニット30#aの回路構成図である。

## 【0084】

位相比較ユニット30#aは、論理回路15#と、PチャンネルMOSトランジスタTp1～Tp8と、電流源31, 32と、NチャンネルMOSトランジスタTn1～Tn8とを含む。なお、本例においては、簡易のため位相比較ユニット30#と位相比較ユニット30#aを構成する素子について同一の記号(符号)を用いて標記するものとする。

## 【0085】

論理回路15#は、信号NA, NBおよびNCの入力を受けて、そのままの信号NA, NBおよびNCならびにその反転信号/NNA, /NNBおよび/NCを出力する。

## 【0086】

電流源31は、電源電圧VDDとノードN0との間に配置される。電流源32は、ノードN1と接地電圧GNDとの間に配置される。

## 【0087】

トランジスタTp1およびTp3は、トランジスタTp2およびTp4とともに、ノードN0とノードN3との間に互いに並列に接続される。トランジスタTp1およびTp3は、互いに直列に接続され、それぞれのゲートは信号/NNAおよびNBBの入力を受ける。トランジスタTp2およびTp4は、互いに直列に接続され、それぞれのゲートは信号NAおよび/NBの入力を受ける。トランジスタTp5およびTp6は、トランジスタTp7およびTp8とノードN0とノードN2との間に互いに直列に接続される。トランジスタTp5およびTp6は、互いに並列に接続され、それぞれのゲートは信号/NNAおよびNBBの入力を受け

る。トランジスタT<sub>p</sub>7およびT<sub>p</sub>8は、互いに並列に接続され、それぞれのゲートは信号N<sub>A</sub>および/N<sub>B</sub>の入力を受ける。

【0088】

トランジスタT<sub>n</sub>1およびT<sub>n</sub>3は、トランジスタT<sub>n</sub>2およびT<sub>n</sub>4とノードN<sub>2</sub>とノードN<sub>1</sub>との間に互いに並列に接続される。トランジスタT<sub>n</sub>1およびT<sub>n</sub>3は、互いに直列に接続され、それぞれのゲートは信号/N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>2およびT<sub>n</sub>4は、互いに直列に接続され、それぞれのゲートは信号N<sub>B</sub>およびN<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>5およびT<sub>n</sub>6は、トランジスタT<sub>n</sub>7およびT<sub>n</sub>8とノードN<sub>2</sub>とノードN<sub>1</sub>との間に互いに直列に接続される。トランジスタT<sub>n</sub>5およびT<sub>n</sub>6は、互いに並列に接続され、それぞれのゲートは信号N<sub>B</sub>およびN<sub>C</sub>の入力を受ける。トランジスタT<sub>n</sub>7およびT<sub>n</sub>8は、互いに並列に接続され、それぞれのゲートは信号/N<sub>B</sub>および/N<sub>C</sub>の入力を受ける。

【0089】

図9に示す位相比較ユニット30#aは、図7で説明した位相比較ユニット30aと等価な回路である。

【0090】

具体的には、並列に接続され、それぞれ信号/N<sub>A</sub>およびN<sub>B</sub>をゲートに受けたトランジスタT<sub>p</sub>5およびT<sub>p</sub>6は、制御信号S<sub>0</sub>をゲートに受けるトランジスタPT3と等価な回路である。同様に、並列に接続され、それぞれ信号N<sub>A</sub>および信号/N<sub>B</sub>をゲートに受けるトランジスタT<sub>p</sub>7およびT<sub>p</sub>8は、制御信号S<sub>1</sub>をゲートに受けるトランジスタPT4と等価な回路である。また、並列に接続され、それぞれ信号N<sub>B</sub>およびN<sub>C</sub>をゲートに受けるトランジスタT<sub>n</sub>5およびT<sub>n</sub>6は、制御信号R<sub>0</sub>をゲートに受けるトランジスタNT3と等価な回路である。同様に、並列に接続され、それぞれ信号/N<sub>B</sub>および信号/N<sub>C</sub>をゲートに受けるトランジスタT<sub>n</sub>7およびT<sub>n</sub>8は、制御信号R<sub>1</sub>をゲートに受けるトランジスタNT4と等価な回路である。

【0091】

また、相補的に動作するスイッチ回路においても同様に、互いに直列に接続さ

れ、それぞれ信号／N A およびN B をゲートに受けるトランジスタT p 1 およびT p 3 は、制御信号／S 1 をゲートに受けるトランジスタP T 2 と等価な回路である。同様に、互いに直列に接続され、それぞれ信号N A および信号／N B をゲートに受けるトランジスタT p 2 およびT p 4 は、制御信号／S 0 をゲートに受けるトランジスタP T 1 と等価な回路である。また、互いに直列に接続され、それぞれ信号／N B および信号／N C をゲートに受けるトランジスタT n 1 およびT n 3 は、制御信号／R 0 をゲートに受けるトランジスタN T 1 と等価な回路である。同様に、互いに直列に接続され、それぞれ信号N B および信号N C をゲートに受けるトランジスタT n 2 およびT n 4 は、制御信号／R 1 の反転信号をゲートに受けるトランジスタN T 2 と等価な回路である。

#### 【0092】

このように、上記の実施の形態3 の構成と同様に、信号N A と信号N B との排他的論理和を論理回路で論理演算するよりも、4 つのトランジスタで構成されるスイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

#### 【0093】

本構成により、実施の形態3 と同様の効果を得ることができる。

上記においては、代表的にP L L 回路を用いてP L L 回路で用いられる位相比較器の構成について説明してきたが本願発明の位相比較器はこれに限られず他の回路たとえばD L L (Delay locked Loop) 回路等においても用いることができる。

#### 【0094】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0095】

##### 【発明の効果】

この発明は以上説明したように、第1の信号と第3の信号との排他的論理和が

第1の論理レベルの場合に出力ノードに電流を供給する第1の電流制御回路において、2つのスイッチ部が設けられる。2つのスイッチ部は、第1および第3の信号の所定の組合せに応じて少なくとも一方がオンする場合に、排他的論理和が第1の論理レベルとなるように構成される。したがって、論理回路等で排他的論理和の論理演算をすることなく、2つのスイッチ部のスイッチング動作に対応づけことにより同様の処理を実行することができるため高速な位相比較動作を実行することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うPLL回路1の概略ブロック図である。

【図2】 本発明の実施の形態1に従う位相比較器100の回路構成図である。

【図3】 位相比較ユニット30の動作について説明するタイミングチャート図である。

【図4】 電流調整回路25の出力ノードN2からループフィルタ300に流れる電流量の関係を示す図である。

【図5】 ループフィルタ300の回路構成図である。

【図6】 VCO回路400の回路構成図である。

【図7】 実施の形態2に従う位相比較器110の回路構成図である。

【図8】 本実施の形態3に従う位相比較ユニット30#の回路構成図である。

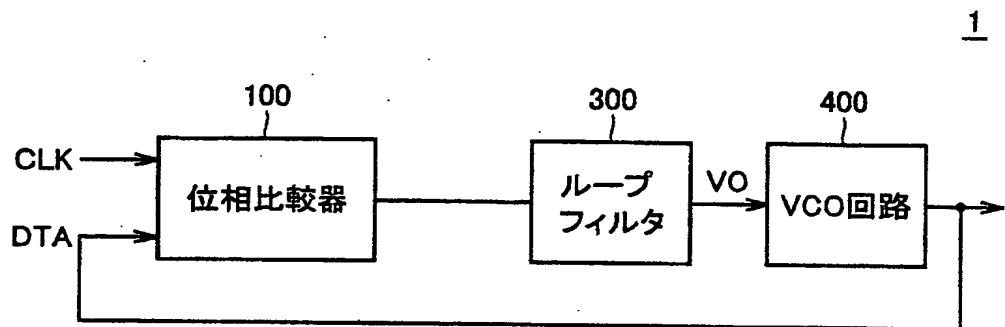
【図9】 本実施の形態4に従う位相比較ユニット30#aの回路構成図である。

【符号の説明】

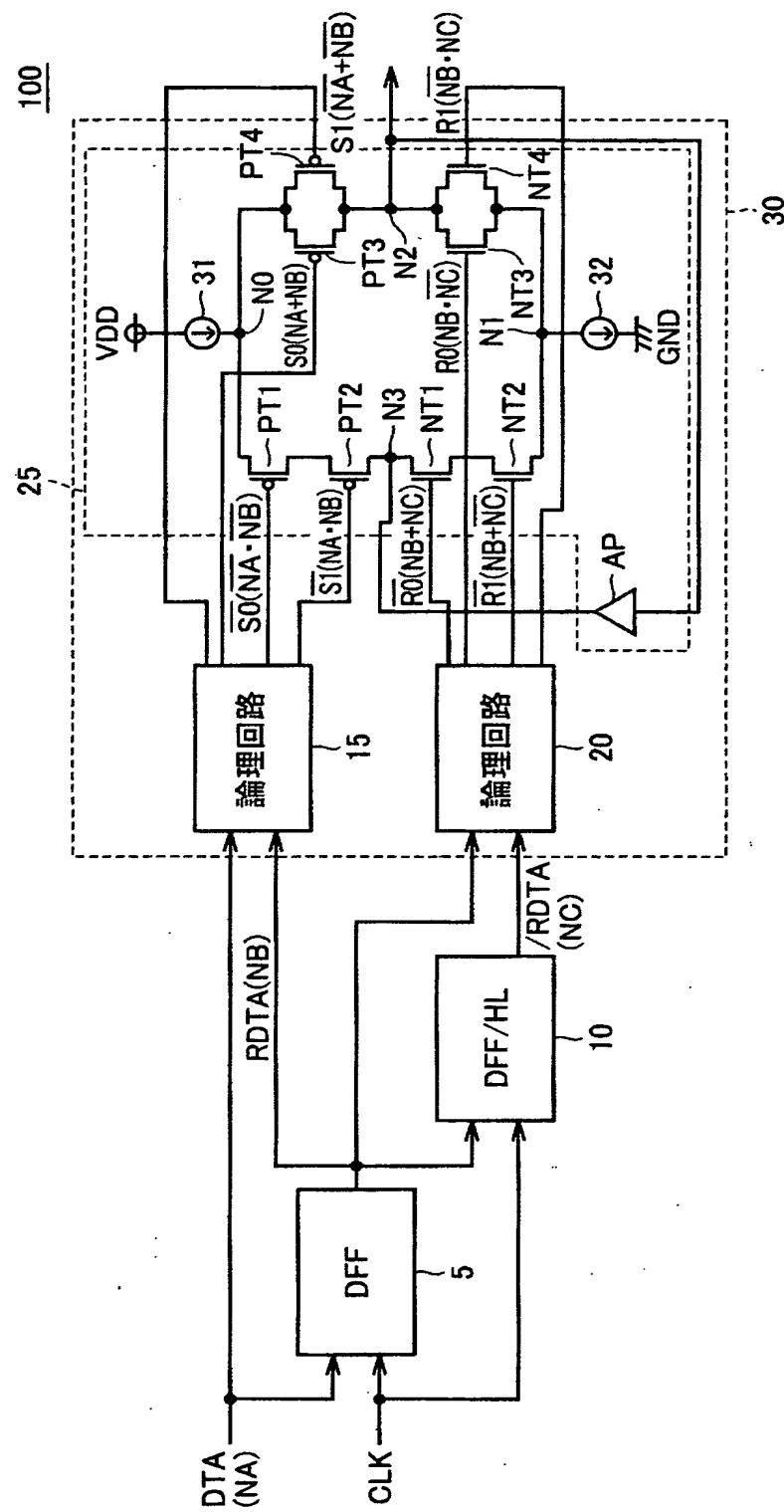
1 PLL回路、5, 10 フリップフロップ回路、15, 15a, 15#, 20, 20a 論理回路、25, 25a 電流調整回路、30, 30a, 30#, 30#a 位相比較ユニット、100, 110 位相比較器、300 ループフィルタ、400 VCO回路。

【書類名】 図面

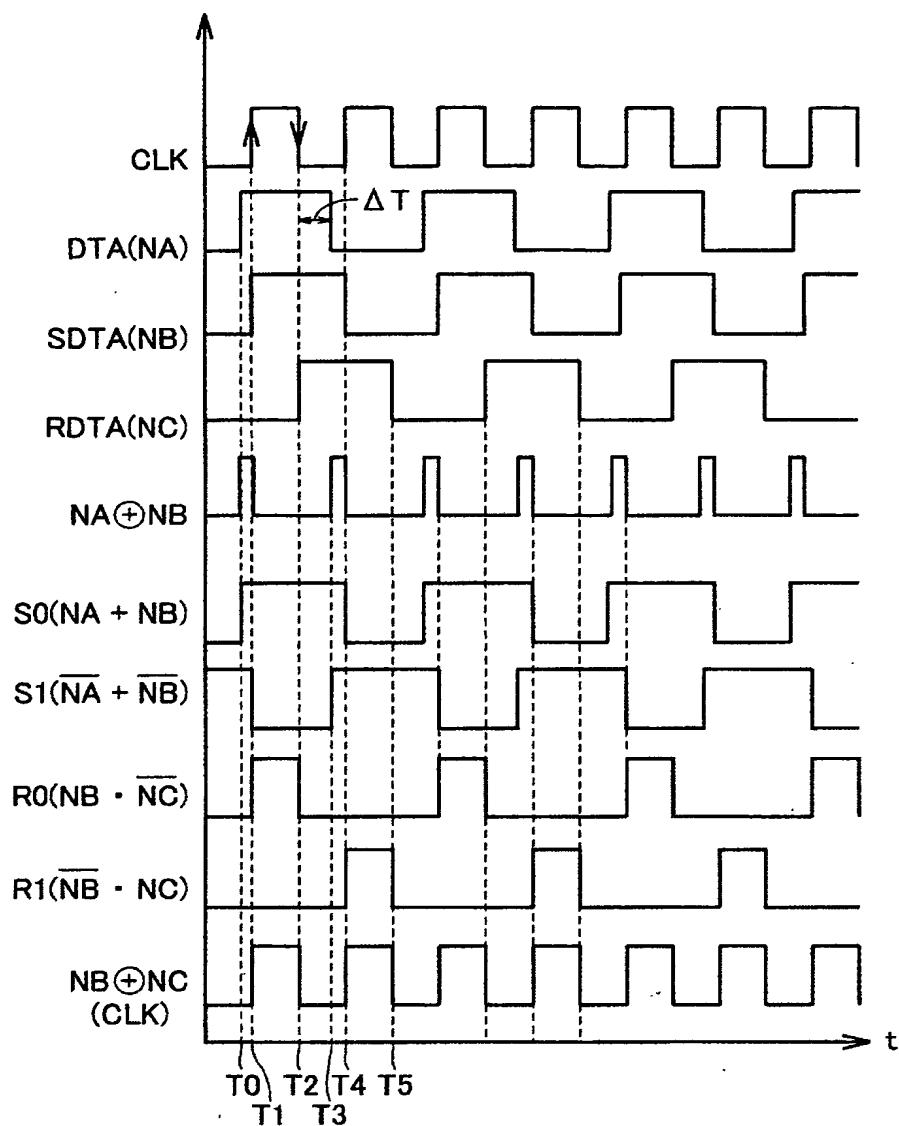
【図1】



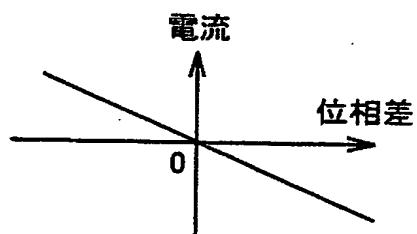
【図2】



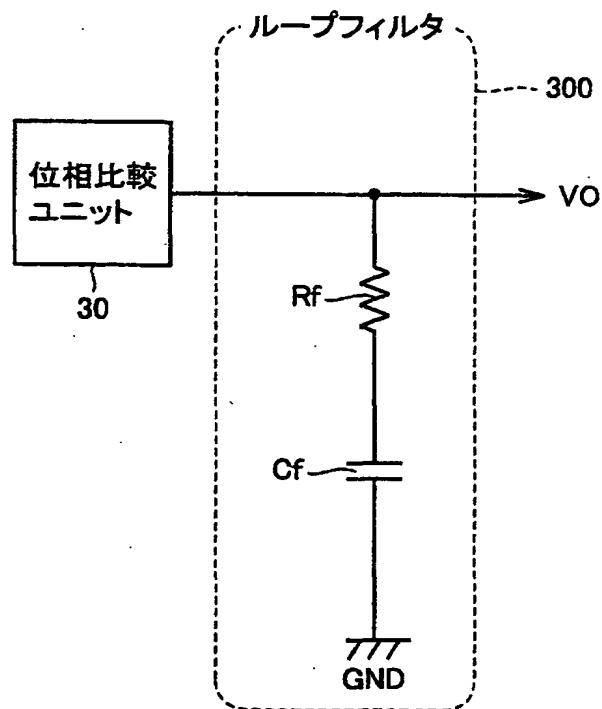
【図3】



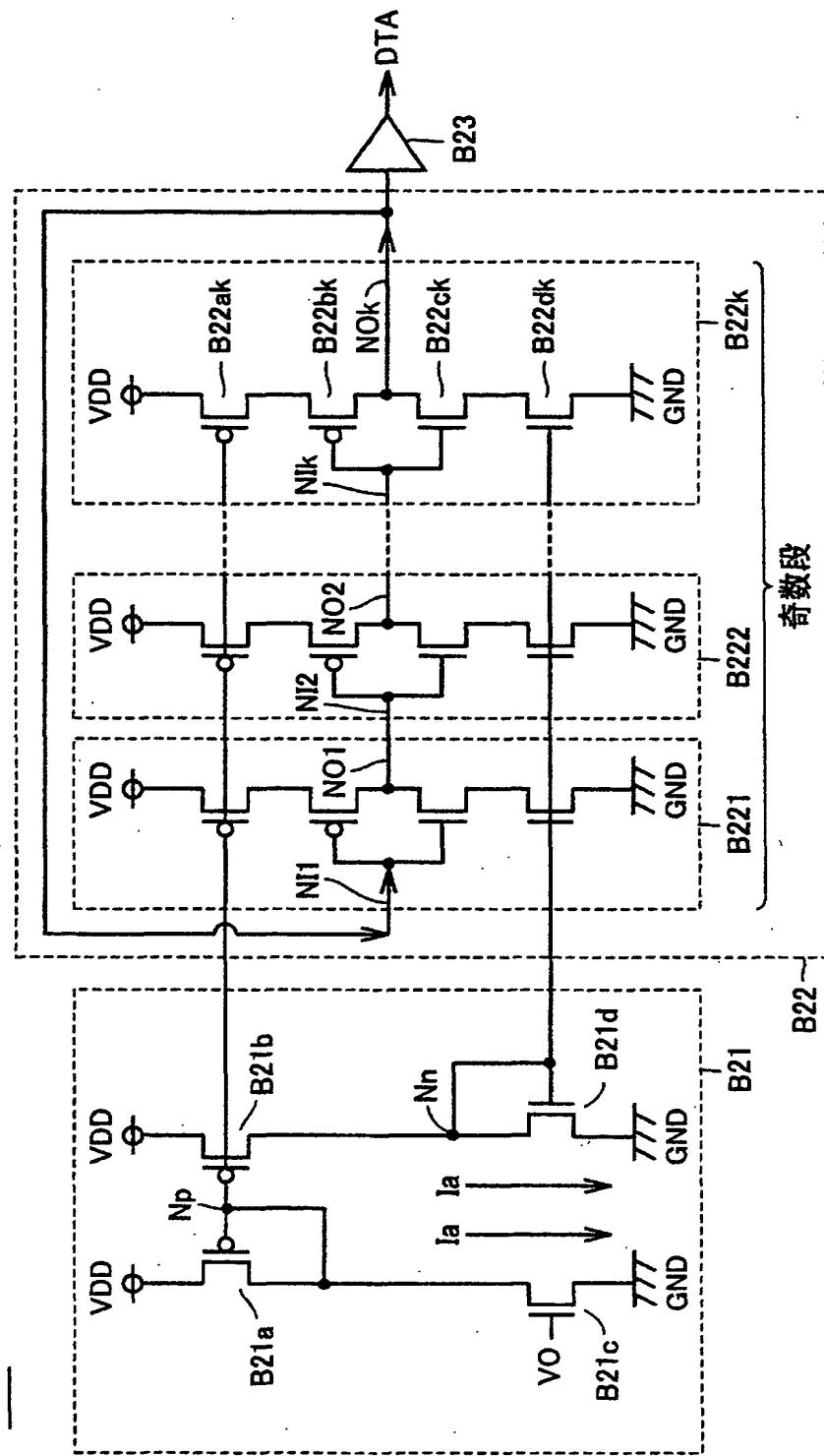
【図4】



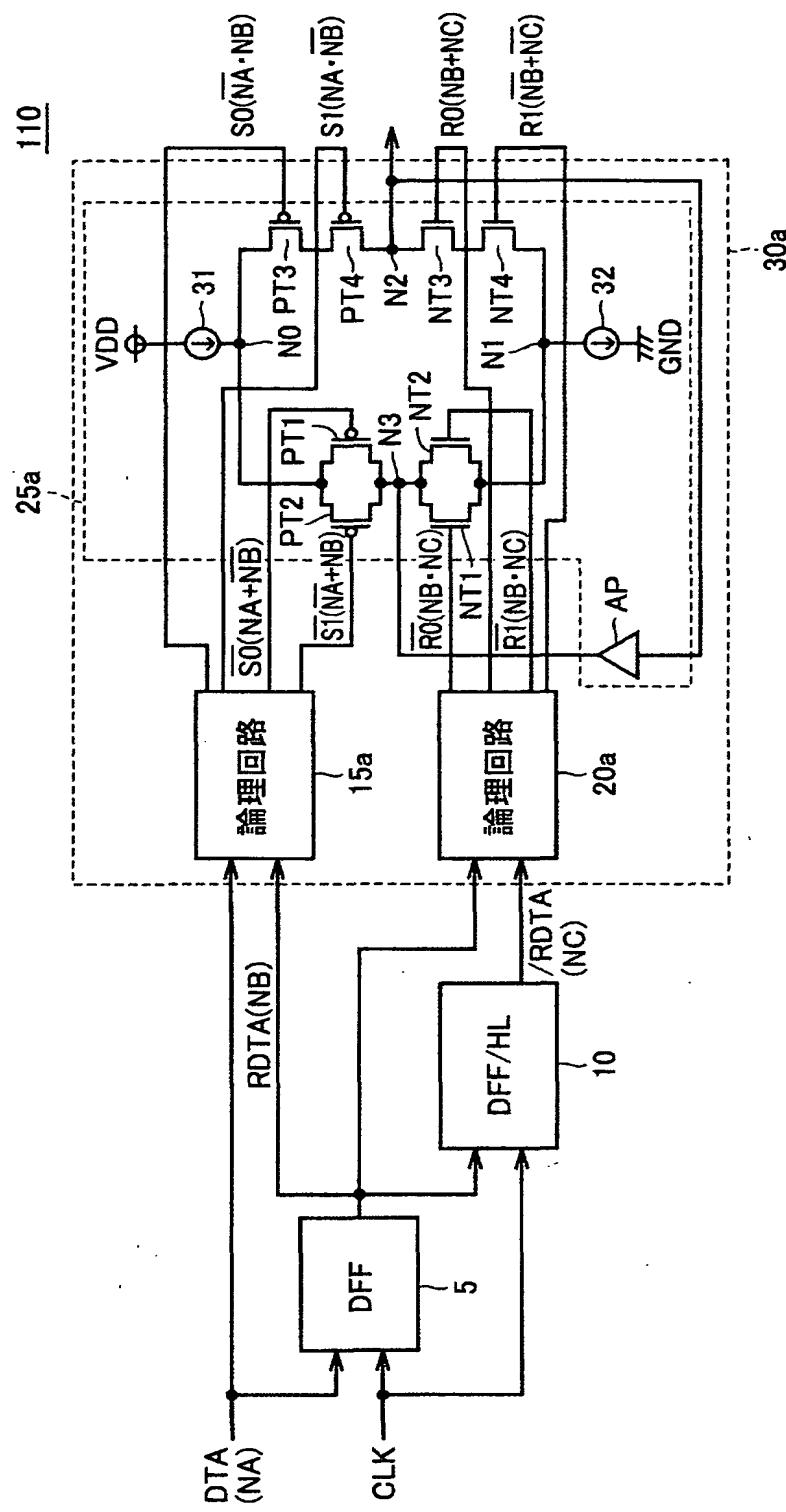
【図5】



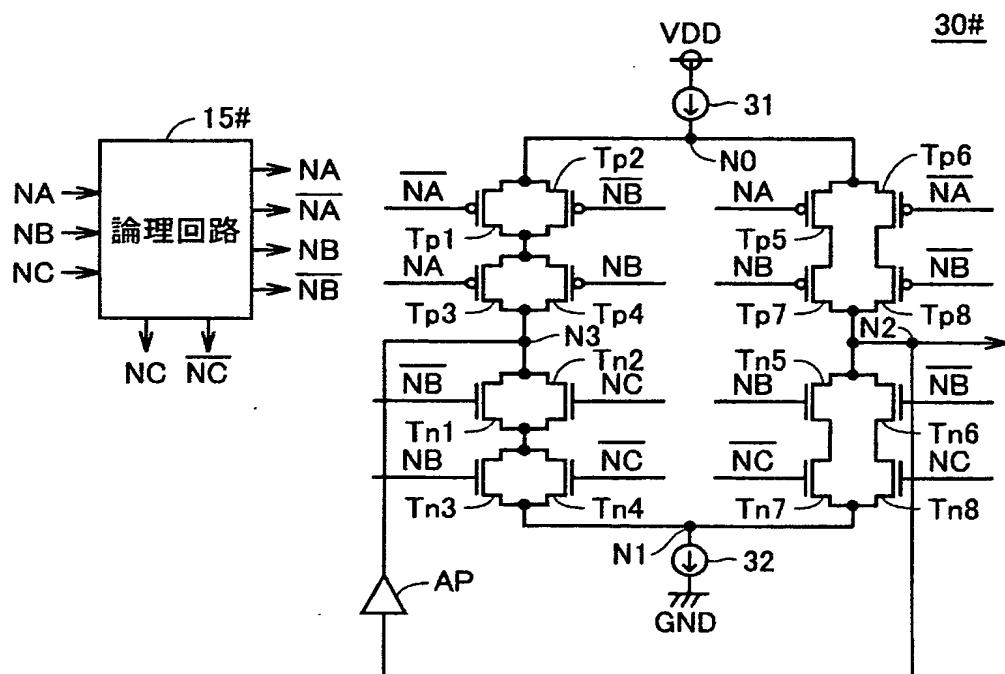
【図6】



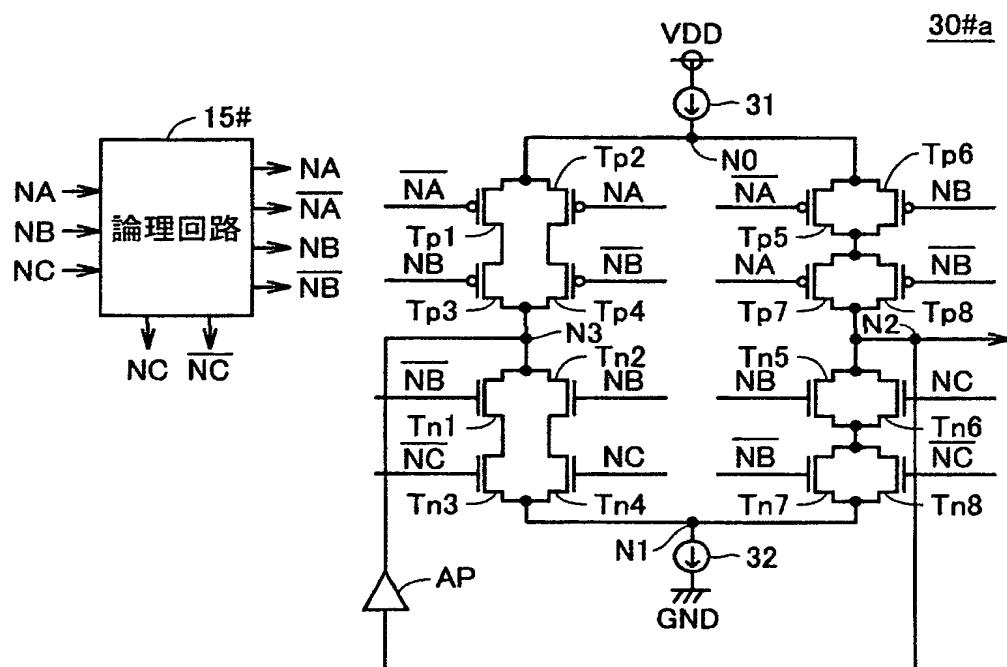
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 高速かつ安定的な位相比較を実行することが可能な位相比較器を提供する。

【解決手段】 位相比較器100は、位相比較を実行する位相比較ユニット30を含む。位相比較ユニット30は、比較する2つの信号の排他的論理和に応じたスイッチング動作を実行することにより位相差に応じた出力ノードN2からの電流の流出もしくは電流の流入を受ける。この排他的論理和を2つのトランジスタPT3およびPT4のスイッチング動作に対応づけるすなわち2つのトランジスタの一方がオンする場合に排他的論理和は「L」レベルとなるように設計する。これに伴い、論理回路の出力信号の充放電時間を短縮し、安定的な位相比較を実行することができる。

【選択図】 図2

出願人履歴情報

識別番号 [00006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社